HO2ED0362

PATENT ABSTRACTS OF JAPAN

(11)Publication number:

2003-264451

(43)Date of publication of application: 19.09.2003

(51)Int.CI.

H03H 17/06 H03H 17/00

(21)Application number : 2002-066488

(71)Applicant : OKI ELECTRIC IND CO LTD

OKI MICRO DESIGN CO LTD

(22)Date of filing:

12.03.2002

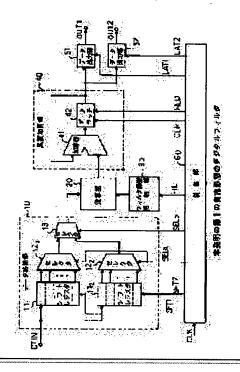
(72)Inventor: MATOBA KENJIRO

(54) DIGITAL FILTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a digital filter for a multi-channel capable of processing pieces of input data in different sampling frequencies and the circuit scale of which is simplified.

SOLUTION: Pieces of the time-division multiplexed input data DTIN are stored in shift registers 111, 112 for every channel according to control of a control part 60. For example, pieces of the input data of a first channel stored in the shift register 111 are successively read by the control of the control part 60 and multiplied by a filter coefficient to be outputted from a filter coefficient storage part 30 in a multiplication part 20. These multiplication results are added by an accumulated adder part 40, the added results are latched by a data output part 51 and outputted as the output data OUT1.



LEGAL STATUS

[Date of request for examination]

26.07.2002

[Date of sending the examiner's decision of rejection

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

開特許公報(A)

(11)特許出國公開每号

特開2003-264451

<u>6</u>

691F	12/00		•
6712			
655B	90/21	H03H 11/06	
		F I	
平成15年9月19日(2003.9.	(43)公開日		
(P2003-264451A)			

凯凯記号

65.5 671 621

H03H 17/06 (51) Int.Cl.7

1/00

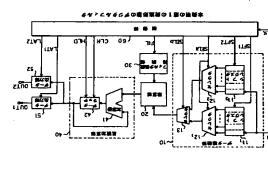
(全 12 頁) OL 観状版の数4

(21)出版都与	特觀 2002—66488(P2002—66488)	(71)出間人 00000295	900000295
			护电気工業株式会社
(22) 出題日	平成14年3月12日(2002.3.12)		東京都港区虎ノ門1丁目7番12号
		(71) 出職人 591049893	591049893
			株式会社 ギマイクロアガイン
			宮崎県宮崎都清武町大字木原7083岳地
		(72)発明者	安静 海川野
			宫崎県宮崎都清武町大字木原7083番炮
			式会社体マイクロデザイン内
	•	(74)代理人 100086807	100086807
			弁理士 柿本 恭成
			•

(54) 【発明の名称】 デジタルフィルタ

(57) [要約]

【課題】 サンプリング周波数の異なる入力データを処 理することが可能で、回路規模を簡素化した多チャンネ ル用のデジタルフィルタを提供する。 【解決手段】 時分割多重化された入力データDTIN は、制御部60の制御に従って、チャンネル毎にシフト タは、制御部60の制御によって順次読み出され、乗算 部20においてフィルタ係数格納部30から出力される フィルタ係数と掛け合わされる。この乗算結果は累積加 レジスタ111、112に格納される。例えば、シフト 算部40で加算され、その加算結果はデータ出力部51 レジスタ11 | に格納された第1チャンネルの入力デー にラッチされて、出力データOUT1として出力され



【特許請求の範囲】

【請求項1】 複数チャンネルの入力データが時分割多 入力データを選択信号に従って出力するデータ格納部

前記データ格納部から順次點み出された入力データに、 読み出されたフィルタ係数を掛け合わせる乗算部と、 各チャンネル毎に前記累積加算部の加算結果を保持して

備えたことを特徴等とするデジタルフィルタ。

る補間信号が切り替えて与えられ、各チャンネル毎に最 [請求項2] 複数チャンネルの入力データが時分割多 **重された入力信号及び該入力データの周期の間を補関す** 新の複数個の入力データと補間処理された補間データを 格納すると共に、その格納された入力データ及び補間デ ータを選択信号に従って出力するデータ格納部と、 前記データ格納部から順次説み出される入力データ及び 補間データに、対応して前記フィルタ係数格納部から読

各チャンネル毎に前記乗算部から出力される複数個の乗 み出されるフィルタ係数を掛け合わせる乗算部と、 算結果を加算する累積加算部と

出力データを出力するデータ出力部と、

納部に前記入力信号が与えられる毎に該入力入力信号の チャンネルに対応する複数個の入力データ及び補間デー 記累積加算部及び前記データ出力部に対する動作制御信 タを順次選択するための前記選択信号を生成すると共 に、該選択信号に対応して前記フィルタ係数格納部、

備えたことを特徴等とするデジタルフィルタ。 数格納部を設けると共に、

特限平15-264451

頂された入力信号が与えられ、各チャンネル毎に最新の 複数個の入力データを格納すると共に、その格納された

前記複数間の入力データに対応して予め設定されたフィ ルタ係数が格納されたフィルタ係数格納部と、

各チャンネル毎に前記乗算部から出力される複数個の乗 この入力データに対応して前記フィルタ係数格納部から 算結果を加算する累積加算部と、

出力データを出力するデータ出力部と、

加算部及び前記データ出力部に対する動作制御信号を生 前記データ格納部に前記入力信号が与えられる毎に、該 順次選択するための前記選択信号を生成すると共に、該 選択信号に対応して前記フィルタ係数格納部、前記累積 入力信号のチャンネルに対応する複数個の入力データを

前記複数個の入力データ及び補間データに対応して予め

設定されたフィルタ係数が格納されたフィルタ係数格納

各チャンネル毎に前記累積加算部の加算結果を保持して

前記入力信号と前記補間信号を切り替え、前記データ格 号を生成する制御部とを、

【請求項3】 前記入力データのレベルを変更して前記 出力データを生成するための出力係数を格納する出力係

, OUT2を出力するものである。 前記制御部は、前記データ格納部に前記入力信号が与え

られる毎に、その入力データに前配出力係数を掛け合わ せて跋データ格納部に格納させるように、跋データ格納 部、前記乗算部及び前記異税加算部を倒御する構成にし

係数を格納するパン係数格納部と、前記界積加算部にお の割合で混合して混合出力データを生成するためのパン 【請求項4】 前記複数チャンネルの出力データを所定 ける前記複数チャンネルの加算結果を保持するレジスタ 特徴とする請求項1または2記載のデジタルフィルタ。 とを、設けると共に、

特徴とする請求項1、2または3配載のデジタルフィル 前記制御部は、前記レジスタに保持された複数チャンネ ルの加算結果に前記パン係数を掛け合わせて前記混合出 カデータを生成して前記データ出力部に保持させるよう に、前記データ格納部、前記乗算部、前記界積加算部及 び前記データ出力部を制御する構成にしたことを、

【発明の詳細な説明】

[000]

化された音声信号にデジタル処理を施すデジタルフィル タ、特に複数チャンネルを同時に処理可能なデジタルフ [発明の属する技術分野] 本発明は、例えば、デジタル イルタに関するものである。

[0002]

縦続接続した構成となっており、各シフトレジスタの出 [従来の技術] 図2は、従来のデジタルフィルタの一例 を示す構成図である。このデジタルフィルタは、第1チ ャンネルの入力データIN1と、第2チャンネルの入力 データIN2を、同じクロック信号CLKに同期してシ フトして保持するシフト部1,2を有している。シフト 部1,2は、それぞれ複数のシフトレジスタ (SR)を カデータと入力データ1N1, 1N2が、マルチプレク サ (MUX) 3の入力側に与えられるようになってい 【0003】マルチプレクサ3は、クロック倡号CLK の"H", "L"のアベルに減った、ツレト街1,20 出力データを交互に選択して出力するもので、このマル チプレクサ3の出力飼が、FIR (Finite Impulse Res と、これらの複数の乗算器の乗算結果を加算する複数の 加算器で構成されている。FIRフィルタ部4の出力側 ponse)フィルタ部4に接続されている。FIRフィルタ 部4は、マルチプレクサ3から出力される各データにそ れぞれフィルタ係数を乗ずる複数の乗算器(MUL)

F)とインバータで構成され、クロック信号CLKに従 【0004】出力部5は、2つのフリップフロップ (F ってF1Rフィルタ部4の出力データを保持し、第1チ ャンネル及び第2チャンネルに対する出力データOUT には、出力部5が接続されている。

【0005】このようなデジタルフィルタでは、クロッ

 $\overline{\Xi}$

ク信号CLKの立ち上がりで、入力データ1N1, IN 2が、それぞれシフト部1,2にシフトされて保持され る。そして、クロック信号CLKが"H"の期間に、シ フト部1に保持されているデータがマルチプレクサ3を 介してFIRフィルタ部4に与えられ、第1チャンネル のデータに対するフィルタ処理が施される。

"L"になったことにより、シフト部2に保持されてい **るデータがマルチプレクサ3を介してF1Rフィルタ部** プフロップで保持され、第1チャンネルの出力データ0 UT1として出力される。また、クロック信号CLKが 4に与えられ、第2チャンネルのデータに対するフィル と、FIRフィルタ部4の処理結果が出力部5のフリッ 【0006】次に、クロック信号CLKが立ち下がる ク処理が施される。

と、FIRフィルタ部4の処理結果が出力部5のフリッ プフロップで保持され、第2チャンネルの出力データ0 UT2として出力される。この繰り返しにより、第1チ ルタ処理が施され、出力データ〇UT1,〇UT2が出 【0007】その後、クロック信号CLKが立ち上がる センネルの入力データ I N 1 と第2チャンネルの入力デ ータIN2は、共通のFIRフィルタ部4によってフィ

は、1つのFIRフィルタ部4で2チャンネルのフィル **タ処理を行うことが可能になり、回路の簡素化を図るこ** [0008] このように、図2のデジタルフィルタで

範囲が殴られていた。また、FIRフィルタ部4は複数 の乗算器と加算器を必要とし、更なる回路規模の簡素化 「発明が解決しようとする課題】しかしながら、従来の デジタルフィルタでは、第1 チャンネルと第2 チャンネ ルが同一のサンプリング周波数である必要があり、適用 が望まれていた。 [6000]

を解決し、サンプリング周波数の異なる入力データを処 【0010】本発明は、前記従来技術が持っていた課題 理することが可能で、更に回路規模を簡素化した多チャ ンネル用のデジタルフィルタを提供するものである。

[0011]

【課題を解決するための手段】前記課題を解決するため 数個の入力データに対応して予め設定されたフィルタ係 前記乗算部から出力される複数個の乗算結果を加算する に、本発明の内の第1の発明は、デジタルフィルタにお いて、複数チャンネルの入力データが時分割多重された 入力信号が与えられ、各チャンネル毎に最新の複数個の 入力データを格納すると共に、その格納された人力デー タを選択信号に従って出力するデータ格納部と、前記複 数が格納されたフィルタ係数格納部と、前記データ格納 部から順次読み出された入力データに、この入力データ に対応して拒誤フィルタ係教格律語から説み出されたフ イルタ係数を掛け合わせる乗算部と、各チャンネル毎に

累積加質部と、各チャンネル毎に前記累積加算部の加質 前記データ格納部に前記入力信号が与えられる毎に、該 順次選択するための前記選択信号を生成すると共に、該 **費択信号に対応して前記フィルタ係数格納部、前記累積** 加算部及び前記データ出力部に対する動作制御倡号を生 入力信号のチャンネルに対応する複数個の入力データを 結果を保持して出力データを出力するデータ出力部と、 成する制御部とを備えている。

係数が掛け合わされた後、累積加算部によって加算され 【0012】第1の発明によれば、以上のようにデジタ カデータがデータ格納部に格納され、制御部からの選択 る。複数のチャンネル毎に、それぞれ最新の複数個の入 信号に従って順次読み出され、乗算部によってフィルタ 各チャンネル毎にデータ出力部に保持され、出力データ ルフィルタを構成したので、次のような作用が行われ てフィルタ処理が行われる。そして、その処理結果は、 として出力される。

共に、該選択信号に対応して前記フィルタ係数格納部、 信号を生成する制御部とを備えている。

力信号と、この入力データの周期を補間するための補間 ンネル毎に、入力データの間に補間データが補われた出 われる。複数チャンネルの入力データが時分割された入 信号とが切り替えてデータ格納部に与えられる。これに タと補間データがデータ格納部に格納され、制御部から の選択信号に従って順次読み出され、乗算部によってフ 算されてフィルタ処理が行われる。これにより、各チャ より、複数のチャンネル毎に、最新の複数個の入力デー

るフィルタ係数を掛け合わせる乗算部と、各チャンネル 力信号及び眩入力データの周期の間を補間する補間信号 が切り替えて与えられ、各チャンネル毎に最新の複数個 共に、その格納された入力データ及び補間データを選択 信号に従って出力するデータ格納部と、前記複数個の入 加算結果を保持して出力データを出力するデータ出力部 タ格納部に前記入力信号が与えられる毎に該入力入力信 て、複数チャンネルの入力データが時分割多重された入 の入力データと補間処理された補間データを格納すると カデータ及び補間データに対応して予め設定されたフィ タに、対応して前記フィルタ係数格納部から読み出され 毎に前記乗算部から出力される複数個の乗算結果を加算 する異樹加算部と、各チャンネル毎に前記累積加算部の と、前記入力信号と前記補閒信号を切り替え、前記デー **号のチャンネルに対応する複数個の入力データ及び補間** データを順次選択するための前記選択信号を生成すると 前記果積加算部及び前記データ出力部に対する動作制御 ルタ係数が格納されたフィルタ係数格納部と、前記デー タ格納部から順次読み出される入力データ及び補間デー [0013] 第2の発明は、デジタルフィルタにおい

イルタ係数が掛け合わされた後、累積加算部によって加 【0014】第2の発明によれば、次のような作用が行 カデータが得られ、データ出力部に保持されて出力デー

タとして出力される。

【0015】第3の発明は、第1または第2の発明にお いて、入力データのレベルを変更して出力データを生成 られる毎に、その入力データに前配出力係数を掛け合わ 【0016】第3の発明によれば、出力係数を設定する するための出力係数を格納する出力係数格納部を設けて いる。また、制御部は、データ格納部に入力信号が与え ことにより、出力データのレベルを制御することができ 部、乗算部及び累積加算部を制御する構成にしている。 せて該データ格納部に格納させるように、データ格納

て混合出力データを生成するためのパン係数を格納する パン係数格納部と、累積加算部における複数チャンネル の加算結果を保持するレジスタとを設ている。また、制 御部は、レジスタに保持された複数チャンネルの加算結 果にパン係数を掛け合わせて混合出力データを生成して データ出力部に保持させるように、データ格納部、乗算 部、果積加算部及びデータ出力部を制御する構成にして て、複数チャンネルの出力データを所定の割合で混合し 【0017】第4の発明は、第1~第3の発明におい

【0018】第4の発明によれば、各チャンネルの出力 データが所定の割合で混合されたミキシング出力が得ら

[0019]

明の第1の実施形態を示すデジタルフィルタの構成図で ある。このデジタルフィルタは、データ格納部10、 乗 [発明の実施の形態] (第1の実施形態) 図1は、本発 データ出力部51,52、及び制御部60で構成されて 算部20、フィルタ係数格細部30、異積加算部40、

ータが時分割多重されて入力される入力データDTIN から、各チャンネル毎に最新の複数個のデータをシフト して保持するものである。ここで、例えば入力される第 【0020】データ格制部10は、複数チャンネルのデ れ、第2チャンネルのデータは2フレームに1回の割合 の場合、第1チャンネルのデータは各フレームに挿入さ 1と第2チャンネルのサンプリング周波数の比が2:1 で挿入された入力データDTINが与えられる。

TINを保持すると共に、今までに保持したデータを順 【0021】このデータ格納部10は、それぞれ第1チ 11,112を有しており、制御部60から与えられる シフト信号SFT1, SFT2に従って、入力データD **次シフトして過去の複数個のデータを格納するようにな** ャンネルと第2チャンネルに対応したシフトレジスタ1

【0022】シフトレジスタ111, 112の各段の出 力側は、それぞれセレクタ121, 122の入力側に接 脱されている。セレクタ12 $_1$, 12 $_2$ は、制御部60から与えられる選択信号SELaに従って、それぞれシ

フトレジスタ111, 112の出力データを選択して出 13は、制御部60から与えられる選択信号SELbに 従って、セレクタ121, 122のいずれか一方の出力 は、セレクタ13の入力側に接続されている。セレクタ データを選択して出力するものであり、このセレクタ1 3の出力側が、乗算部20の一方の入力側に接続されて カするものである。セレクタ121, 122の出力傾

係数格納部3.0が接続されている。フィルタ係数格納部 30は、入力データDTINのフィルタ処理のためのフ イルタ係数を予め格納したもので、制御部60から与え られる制御信号FILに従って、所定のフィルタ係数を 【0023】 栗算部20の他方の入力側には、フィルタ **選択して乗算部20に出力するものである。**

されたデータと、フィルタ係数格納部30から与えられ たフィルタ係数を掛け合わせるもので、この乗算部20 【0024】 乗算部20は、データ格機部10から出力 の出方側に累積加算部40が接続されている。 【0025】累積加算部40は加算器41とデータラッ チ42を有し、この加算器41の第1の入力側に乗算部 20からのデータが与えられ、加算器41の出力側がデ **ータラッチ 4 2の入力側に接続され、更にこのデータラ** ッチ42の出力側が、加算器41の第2の入力側に接続 された構成となっている。

ッチ42の内容が0に消去される。次に、乗算器20か 【0026】この累積加算部40では、まず、制御部6 0から与えられるクリア信号CLRによって、データラ ら与えられるデータと、データラッチ42に保持されて て、この加算結果がデータラッチ42に保持される。以 L.Dが与えられ、この東算器20からのデータが累積加 、乗算器20からデータが出力される毎に保持信号日 いるデータ (即ち、0) が加算路41によって加算さ れ、制御部60から与えられる保持信号HLDに従っ

【0027】データラッチ42の出力側には、データ出 52は、それぞれ制御部60から与えられるラッチ信号 LAT1,LAT2に従い、累積加算部40の最終的な 加算結果を保持して第1チャンネル及び第2チャンネル の出力データOUT1, OUT2として出力するもので 力部51,52が接続されている。データ出力部51,

算されて、データラッチ42に保持されるようになって

【0028】 短御笛60は、クロック哲号CLKに払び いて、上記の各部に対する動作制御用のタイミング信号 を生成して出力するものである。 85°

ータCH1が入力されると、側御部60からデータ格納 你10のシフトレジスタ11₁にシフト債号SFT1が **一トである。以下、この図3を参照しつつ、図1の動作** を説明する。入力データDTINに第1チャンネルのデ 【0029】図3は、図1の動作を示すタイミングチャ

9

与えられる。これにより、シフトレジスタ11,1に保持 されていた過去の第1チャンネルのデータが順次後段に シフトされると共に、初段には最新のデータCH1が格 使される。また、短御部60からデータ格徴部10のセ 121) 側を選択させるための選択信号SELbが出力 される。更に、制御部60から累積加算部40にクリア 信号CLRが与えられ、累積加算部40のデータラッチ レクタ13に対して、第1チャンネル (即ち、セレクタ 42の内容は、消去されて0になる。

【0030】 次に、側御部60からデータ格納部10の 係数格納部30に対して、1番目のフィルタ係数を選択 は、乗算部20から与えられた乗算結果とデータラッチ 42に保持されている累積結果(この場合は、0)が加 算される。この時点で、制御部60からデータラッチ4 2に保持信号HLDが与えられ、加算器41の加算結果 セレクタ121に対して、1番目のデータを選択させる ための選択信号SELaが出力されると共に、フィルタ して出力させるための制御信号FILが出力される。こ フィルタ係数格納部30の1番目のフィルタ係数が乗算 部20によって掛け合わされ、その乗算結果が累積加算 がこのデータラッチ42に新たな累積結果として保持さ れにより、シフトレジスタ111の1番目のデータと、 部40に出力される。累積加算部40の加算器41で

タを選択させるための選択信号SELaと共に、フィル 【0031】その後、制御部60からデータ格納部10 のセレクタ121に対して、2番目、3番目、…のデー 0によってそれぞれ掛け合わされる。そして、これらの 乗算結果は、制御部60から累積加算部40に順次与え られる保持信号HLDに従って累積加算されて保持され タ係数格納部30に対して、2番目、3番目、…のフィ が、順次出力される。これにより、シフトレジスタ11 1の2番目、3番目、…のデータと、フィルタ係数格納 部30の2番目、3番目、…のフィルタ係数が乗算部2 ルタ係数を選択して出力させるための制御信号FIL

[0032] シフトレジスタ111に格納された第1チ 制御部60からデータ出力部51に対して、ラッチ倡号 データラッチ42に保持されているデータが、データ出 LAT1が出力される。これにより、累積加算部40の 力部51に保持されて出力データOUT1として出力さ ャンネルのデータに対するフィルタ処理が終了すると、

【0033】 次に、入力データDT I Nに第2チャンネ タ格納部10のシフトレジスタ112にシフト信号SF T2が与えられる。これにより、シフトレジスタ112 後段にシフトされると共に、初段には最新のデータCH 2が格納される。また、制御部60からデータ格納部1 ルのデータCH2が入力されると、制御部60からデー に保持されていた過去の第2チャンネルのデータが順次

0のセレクタ13に対して、第2チャンネル (即ち、セ レクタ122) 側を選択させるための選択信号SELb が出力される。更に、制御部60から累積加算部40に クリア信号CLRが与えられ、累積加算部40のデータ ラッチ42の内容は、消去されて0になる。

すると、制御部60からデータ出力部52に対して、ラ 【0034】この後の動作は、第1チャンネルの場合と 同様である。そして、シフトレジスタ112に格納され た第2チャンネルのデータに対するフィルタ処理が終了 ッチ信号LAT2が出力される。これにより、累積加算 データ出力部52に保持されて出力データOUT2とし 部40のデータラッチ42に保持されているデータが、 て出力される。 【0035】以上のように、この第1の実施形態のデジ タDTINのチャンネル毎に、そのデータをシフトして 保持する2つのシフトレジスタ111, 112を有して に保持されたデータを順次説み出してフィルタ処理を行 フトレジスタ11」等の段数に拘らず、それぞれ1組だ いる。そして、これらのシフトレジスタ111, 112 うための、乗算部20、フィルタ係数格納部30及び累 積加算部40を有している。これにより、入力されるチ で、サンプリング周波数の異なる複数チャンネルのフィ ルタ処理が可能になるという利点がある。更に、乗算部 20と累積加算部40は、入力されるチャンネル数やシ けでよいので、回路規模を簡素化することができるとい タルフィルタは、時分割多重されて入力される入力デー ャンネルに応じてフィルタ処理を行うことができるの う利点がある。

[0036] (第2の実施形態) 図4は、本発明の第2 のデジタルフィルタは、入力データDTINの1サンプ リング周期の間に、補間データを挿入して出力データを 生成する補間処理機能を備えたもので、図1中の要素と の実施形態を示すデジタルフィルタの構成図である。こ 共通の要素には共通の符号が付されている。

タ格納部10に代えて、補間データを生成するための機 れに対応して機能が追加された制御部60Aを設けた構 【0037】このデジタルフィルタでは、図1中のデー 能が追加されたデータ格納部10Aを設けると共に、 成となっている。

[0038] データ格納部10Aは、制御部60Aから レジスタ111, 112が接続されており、制御部60 タ14を有している。セレクタ14の出力側には、それ ぞれ第1チャンネルと第2チャンネルに対応したシフト Aから与えられるシフト信号SFT1,SFT2に従っ て、セレクタ14から与えられるデータを保持すると共 に、今までに保持したデータを順次シフトして過去の複 与えられる制御信号COMに従って、入力デークDT 1 Nと補間用の"O"データを切り替えて入力するセレク 数個のデータを格納するようになっている。

【0039】シフトレジスタ111, 112の各段の出

力側は、それぞれセレクタ121, 122の入力側に接 続されている。セレクタ12 $_1$, 12 $_2$ は、制御部60Aから与えられる選択信号SELaに従って、それぞれ シフトレジスタ 11_1 , 11_2 の出力データを選択して 出力するものである。

【0040】更に、このデータ格納部10Aは、果積加 類部40によってフィルタ処理が施されてフィードバッ クされるデータを、制御部60Aから与えられるシフト 信号SFT3, SFT4に従って保持すると共に、今ま でに保持したデータを順次シフトして過去の複数個のデ ータを格納する補間処理用のシフトレジスタ 15_1 , 152を有している。

続されている。セレクタ16 $_1$, 16_2 は、制御部60Aから与えられる選択信号SELaに従って、それぞれ シフトレジスタ151, 152の出力データを選択して 【0041】シフトレジスタ151, 152の各段の出 力側は、それぞれセレクタ16」,162の入力側に接 出力するものである。

[0042] セレクタ121, 122, 161, 162 セレクタ17は、制御部60Aから与えられる選択信号 SELb, SELcに従って、セレクタ121~162 で、このセレクタ17の出力側が乗算部20の一方の入 力側に接続されている。その他の構成は、図1と同様で の出力側は、セレクタ17の入力側に接続されている。 のいずれか1つの出力データを選択して出力するもの

ータCH1が入力されると、制御部60Aからデータ格 【0043】図5は、図4の動作を示すタイミングチャ **一トである。以下、この図5を参照しつつ、図4の動作** を説明する。人力データDTINに第1チャンネルのデ 独部10Aのセレクタ14に、入力データDTIN側を **逸択するための制御信号COMが与えられ、更に、制御** 部60Aからデータ格徴部10Aのシフトレジスタ11 1にシフト倍号SFT1が与えられる。これにより、シ ネルのデータが順次後段にシフトされると共に、初段に は最新のデータCH1が格納される。また、制御部60 Aがらデータ格納部10Aのセレクタ17に対して、セ SELcが出力される。これと同時に、制御部60Aか ら異積加算部40にクリア信号CLRが与えられ、累積 加算部40のデータラッチ42の内容は、消去されて0 フトレジスタ111に保持されていた過去の第1チャン レクタ12」側を選択させるための選択信号SELb,

【0044】次に、制御部60Aからデータ格種部10 Aのセレクタ121に対して、1番目のデータを選択さ ルタ係数格納部30に対して、1番目のフィルタ係数を タと、フィルタ係数格納部30の1番目のフィルタ係数 る。これにより、シフトレジスタ111の1番目のデー せるための選択信号SELaが出力されると共に、フィ 強択して出力させるための制御信号F11が出力され

ッチ42に保持信号HLDが与えられ、加算器41の加 が東算部20によって掛け合わされ、その乗算結果が累 1では、乗算部20から与えられた乗算結果とデータラ が加算される。この時点で、制御部60Aからデータラ 算結果が新たな異積結果として、このデータラッチ42 積加算部40に出力される。累積加算部40の加算器4 ッチ42に保持されている累積結果 (この場合は、0) に保持される。

めの選択信号SELaと共に、フィルタ係数格納部30 に対して、2番目、3番目、…のフィルタ係数を選択し に対して、2番目、3番目、…のデータを遊択させるた る。これにより、シフトレジスタ111の2番目、3番 3番目、…のフィルタ係数が乗算部20によってそれぞ れ掛け合わされる。そして、これらの乗算結果は、制御 【0045】その後、関御部60Aからセレクタ12₁ 目、…のデータと、フィルタ係数格納部30の2番目、 部60Aから順次与えられる保持信号HLDに従って、 て出力させるための制御信号FILが、順次出力され 累積加算部40で累積加算されて保持される。

により、シフトレジスタ15」に保持されていた過去の 後段にシフトされると共に、初段にはフィルタ処理が施 [0046] シフトレジスタ11」に格納された第1チ 15」に対するシフト信号SFT3が与えられる。これ 第1チャンネルのフィルタ処理が施されたデータが順次 された最新のデータが格納される。また、制御部60A からセレクタ17に対して、セレクタ151個を遊択さ **制御部60Aからデータ格納部10Aのシフトレジスタ** これと同時に、制御部60Aから異積加算部40にクリ ア信号CLRが与えられ、累積加算部40のデータラッ せるための選択信号SELb、SELcが出力される。 ャンネルのデータに対するフィルタ処理が終了すると、 チ42の内容は、消去されて0になる。

【0047】次に、制御部60Aからデータ格翻即10 タと、フィルタ保敷格納部30のa格目のフィルタ係数 Aのセレクタ16」に対して、1番目のデータを強択さ ルタ係数格納部30に対して、a 番目のフィルタ係数を る。これにより、シフトレジスタ151の1番目のデー が乗算部20によって掛け合わされ、その乗算結果が異 税加算部40に出力される。累税加算部40の加算器4 1では、乗算部20から与えられた乗算結果とデータラ が加算される。この時点で、制御部60Aからデータラ ッチ42に保持信号HLDが与えられ、加算器41の加 算結果が新たな累積結果として、このデータラッチ42 せるための選択信号SELaが出力されると共に、フィ **徴択して出力させるための制御信号FILが出力され** ッチ42に保持されている累積結果(この場合は、0)

0 Aのセレクタ16₁に対して、2番目、3番目、…の データを選択させるための選択信号SELaと共に、フ 【0048】その後、制御部60Aからデータ格秧部1

®

イルタ係数格納邸30に対して、b番目、c番目、…の 51の2番目、3番目、…のデータと、フィルタ係数格 与えられる保持信号HLDに従って、累積加算部40で フィルタ係数を選択して出力させるための制御倡号FI しが、順次出力される。これにより、シフトレジスタ1 **|||部30のも番目、c番目、…のフィルタ係数が乗算部** 20によってそれぞれ掛け合わされる。そして、これら の乗算結果は、制御部60Aから累積加算部40に順次 異様加算されて保持される。

るシフト信号SFT3が与えられる。これにより、累積 [0049] シフトレジスタ151に格納された第1チ 阿御部60 Aからデータ出力部51に対して、ラッチ俗 号LAT1が出力される。これと同時に、制御部60A として出力される。また、シフトレジスタ151に保持 されていた過去の第1チャンネルのフィルタ処理が施さ フィルタ処理が施された最新の出力データOUT 1が格 からデータ格種邸10Aのシフトレジスタ15₁に対す 加算部40のデータラッチ42に保持されているデータ が、データ出力部51に保持されて出力データOUT1 れたデータが順次後段にシフトされると共に、初段には ャンネルのデータに対するフィルタ処理が終了すると、

対して、1番目、2番目、…のデータを選択させるため 数を選択して出力させるための制御信号FILが順次出 目、2番目、…のデータと、フィルタ係数格納部30の 【0050】次に、制御部60Aから累積加算部40に ラッチ42の内容は、消去されて0になる。その後、制 **御部60Aからデータ格練部10Aのセレクタ16₁に** の選択信号SELaが出力されると共に、フィルタ係数 格納部30に対して、a番目、b番目、…のフィルタ係 クリア信号CLRが与えられ、果樹加算部40のデータ a 番目、 b 番目、…のフィルタ係数が乗算部20によっ 制御部60Aから順次与えられる保持信号HLDに従っ 力される。これにより、シフトレジスタ151の1番 てそれぞれ掛け合わされる。そして、その乗算結果が、 て、累積加算部40で累積加算されて保持される。

制御部60Aからデータ出力部51に対して、ラッチ信 号LAT1が出力される。これにより、累積加算部40 出力部51に保持されて出力データOUT1として出力 【0051】シフトレジスタ15」に格納された第1チ のデータラッチ42に保持されているデータが、データ ャンネルのデータに対するフィルタ処理が終了すると、

トレジスタ11」に保持されていた過去の第1チャンネ [0052] 次に、制御部60Aからデータ格納部10 Aのセレクタ14に、補間用の"0"データを選択する ための制御信号COMが与えられる。これにより、シフ ルのデータが順次後段にシフトされると共に、初段には 補間用の"0"データが格納される。その後の動作は、

入力データDT INに対する動作と同様である。

【0053】そして、次に入力データDTINに第2チ ャンネルのデータCH2が入力されると、制御部60A からセレクダ17に対して、セレクタ122, 162を **選択するための選択信号SELb, SELcが与えら** れ、第1チャンネルと同様の処理が行われる。 【0054】以上のように、この第2の実施形態のデジ ータ格納部10Aと、これを制御するための制御部60 加えて、補間処理によってよりスムーズな出力データの UT1, OUT2を出力することができるという利点が タルフィルタは、補間処理を行うことができる構成のデ Aを有している。これにより、第1の実施形態の利点に

\$5°

[0055] (第3の実施形態) 図6は、本発明の第3 のデジタルフィルタは、第2の実施形態と同様の補間処 理機能に加えて、出力レベルを制御するボリューム処理 機能と、複数のチャンネルの入力データを所定の割合で **限合した出力データを生成するパン処理機能を備えたも** の実施形態を示すデジタルフィルタの構成図である。こ ので、図4中の要素と共通の要素には共通の符号が付き れている。 [0056] このデジタルフィルタは、図4のデータ格 納部10Aに代えて構成の異なるデータ格納部70を設 けている。更に、フィルタ係数格納部30に加えて出力 係数格納部31及びペン係数格納部32を設けると共

に、これらのフィルタ係数格納部30、出力係数格納部 31及びパン係数格納部32の各係数を切り替えて乗算 部20に与えるためのセレクタ33を有している。そし て、これに対応して機能が追加された制御部60Bを設 けた構成となっている。

【0057】データ格納部70は、制御部60Bから与 えられる制御信号COMに従って、入力データDTIN と補間用の"0"データを切り替えて入力するセレクタ 71を有している。セレクタ71の出方側には、第1チ ャンネルと第2チャンネルに対応したボリューム処理の いる。更に、このデータ格納部70は、フィルタ処理の ためのシフトレジスタ (SRG) 731, 732、補間 処理のためのシフトレジスタ741,742、及びパン ためのレジスタ(REG)72 $_1$,72 $_2$ が接続されて 処理のためのレジスタ751,752を有している。

る。また、レジスタ751,752は、累積加算部40 されたデータを、それぞれ制御部60Bから与えられる シフト信号SFT1, SFT2, SFT3, SFT4に 従って保持すると共に、今までに保持したデータを順次 で処理されてフィードバックされたデータを保持するも 742は、累積加算部40で処理されてフィードバック [0058] シフトレジスタ731, 732, 741, シフトして過去の複数個のデータを格納するものであ のである。 [0059] シフトレジスタ731, 732の各段の出 力側は、それぞれセレクタ (SEL) 761, 762の

段の出力側は、それぞれセレクタ771, 772の入力 入力側に接続され、シフトレジスタ741,742の各 剛に接続されている。セレクタ761~772は、側御 れぞれシフトレジスタ131~142の各段のデータを 部60Bから与えられる選択信号SELaに従って、 強択して出力するものである。

入力側に接続されている。その他の構成は、図4と同様 [0060] $\pm \nu j + 761 - 772 + 5721$ ~752の出力側は、セレクタ78の入力側に接続され ている。セレクタ78は、制御部60Bから与えられる 遊択信号SELb, SELc, SELdに従って、入力 側のデータのいずれか一つを選択して出力するものであ り、このセレクタ78の出力側が、乗算部20の一方の

[0061] 図7は、図6の動作を示すタイミングチャ 一トである。以下、この図7を参照しつつ、図6の動作 を説明する。入力データDTINに第1チャンネルのデ **一タCH1が入力されると、制御部60Bからデータ格 熱部10のセレクタ71に、入力データDTIN側を遊** 択するための制御信号COMが与えられ、このデータC H1がレジスタ72」に保持される。また、制御部60 Bから累積加算部40にクリア信号CLRが与えられ、 累積加算部40の保持内容は消去されて0になる。

に、出力係数格納部31から出力されたボリューム係数 【0062】次に、制御部60Bからセレクタ78に対 して、レジスタ72」を選択するための選択信号SEL b, SELc, SELdが与えられると共に、セレクタ 33に対して、出力係数格納部31を選択するための選 収信号SELeが与えられる。これにより、乗算部20 において、レジスタ72₁から出力されたデータCH1 が掛け合わされる。乗算部20の乗算結果は累積加算部 40に保持され、データ格納部70にフィードバックさ れる。この時点で、制御部60Bからシフトレジスタフ 3 1 に対してシフト信号SFT 1 が与えられ、このシフ トレジスタ73」に保持されていた過去の第1チャンネ ルのボリューム処理されたデータが順次後段にシフトさ れると共に、初段には最新のポリューム処理されたデー タが格納される。

【0063】シフトレジスタ73」に最新のデータが格 納された後、制御部60Bによってセレクタ78がセレ クタ76」側に切り替えられると共に、セレクタ33が シフトレジスタ73~に格納された第1チャンネルのボ リューム処理されたデータに基づいて、第2の実施形態 フィルタ係数格納部30側に切り替えられる。そして、 と同様のフィルタ処理が行われる。

と、その結果はシフトレジスタ74」に格納され、今度 はこのシフトレジスタ741に格納されているフィルタ 処理が施されたデータに基づいて、第2の実施形態と同 【0064】第1チャンネルのフィルタ処理が終了する **様の補間処理が行われる。第1チャンネルの補間処理が**

終了すると、その補間処理の結果はレジスタ75」に格

ャンネルのデータと、レジスタ752に格納された第2 チャンネルのデータが順次説み出され、乗算部20にお **いた、パン係数格律部32から出力されるそれぞれのパ** ン係数と掛け合わされる。それぞれパン係数が乗算され た第1チャネルと第2チャンネルのデータは、累積加算 部40において加算され、データ出力部51に保持され 【0065】次に、レジスタ75」に格納された第1チ て出力データOUT1として出力される。

22, 752、及びシフトレジスタ732, 742等に 【0066】同様に、入力データDTINに第2チャン ネルのデータCH2が入力された場合には、レジスタ7 よって第1チャンネルと同様の処理が行われ、データ出 力部52に処理結果のデータが保持されて出力データ0 UT2が出力される。

したり、複数の入力データを所定の割合で混合した出力 【0067】以上のように、この第3の実施形態のデジ タルフィルタは、補間処理に加えてボリューム処理とパ 出力係数格納部31及びパン係数格納部32等と、これ り、第2の実施形態の利点に加えて、出力レベルを制御 を制御するための制御部60Bを有している。これによ ン処理を行うことができる構成のデータ格徴部70と、 データを得ることができるという利点がある。

ず、種々の変形が可能である。この変形例としては、例 【0068】なお、本発明は、上記実施形態に限定され えば、次のようなものがある。

0A, 70は、機能を簡潔に説明するための構成例であ り、図示した構成に限定されない。例えば、メモリを使 (a) 図1、図4及び図6中のデータ格納部10,1 用して適切なアドレス制御をすることにより、同僚の機 能を果たす構成にすることができる。

べて備えているが、必要に応じて、いずれか10または 【0069】(b) 図6のデジタルフィルタは、補間 処理機能、ボリューム処理機能、及びパン処理機能をす 2つの機能を備えた構成にすることができる。 【0070】(c) 図6中のパン係数格独問32にお それぞれ50%に設定することにより、ミキシング処理 いて、第1チャンネルと第2チャンネルのパン保敷を、 を行うことができる。

【0071】(d) 入力データDTINは、第1チャ ンネルと第2チャンネルのデータが時分割多重されたも のとして説明したが、3チャンネル以上のデータに対し ても同様に適用可能である。その場合は、例えばデータ 格熱部10のシフトレジスタ11及びセレクタ12を、 チャンネル数分だけ準備すれば良い。 【発明の効果】以上詳細に説明したように、第1の発明 によれば、複数チャンネルに対してそれぞれ最新の複数 間の入力データを格納するデータ格納部と、このデータ 9

特開平15-264451

格納部から順次入力データを読み出してフィルタ係数を

6)

リング周波数が異なってもフィルタ処理が可能で、更に フィルタ処理のための回路構成を簡素化できるという効 乗算して累積加算するための乗算部、累積加算部及び制 御部を有している。これにより、各チャンネルのサンプ

[0073] 第2の発明によれば、入力データに加えて 補間データを格納するデータ格納部を設けている。これ により、第1の発明と同様の効果に加えて、補間処理を 行うことができるという効果がある。

果がある。

算してフィルタ処理を行うようにしている。これにより、第1または第2の発明の効果に加えて、出力レベル [0074] 第3の発明によれば、出力係数を格納する 出力係数格納部を有し、入力データにこの出力係数を乗 を簡単に調整することができるという効果がある。

算して混合出力データを生成するようにしている。これ 【0075】第4の発明によれば、パン係数を格納する パン係数格納部を有し、出力データにこのパン係数を乗 により、第1~第3の発明の効果に加えて、ミキシング した出力データを簡単に生成することができるという効

【図面の簡単な説明】

[図1] 本発明の第1の実施形態を示すデジタルフィル タの構成図である。

[図2] 従来のデジタルフィルタの一例を示す構成図で

[図3] 図1の動作を示すタイミングチャートである。

【図4】 本発明の第2の実施形態を示すデジタルフィル タの構成図である。

[図6] 本発明の第3の実施形態を示すデジタルフィル [図5] 図4の動作を示すタイミングチャートである。

【図7】図6の動作を示すタイミングチャートである。 タの構成図である。

データ格制部 [符号の説明]

10, 10A, 70 乗算部 2 0

フィルタ係数格納部

出力係数格納部

パン保教格徴部

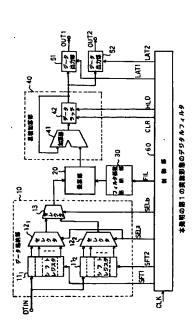
従来のデジタルフィルタ

累積加算部 4 0

51,52 データ出力部

60,60A,60B 制御部

[図 [図]



[図2]

[図3]

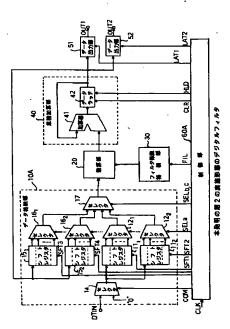
	1	5		<u> </u>										
Jj	둉			DESERVE		- (अन्तर्वाचार)	, J	Now.		·		41.7	CHZ	四・の単作
«× †ກນານການການຖ່ານການການການການການ	CH2		n;	CORRECTEN	اِ	Telefeter	إ	Jumur		CH1	,		-	<u>-</u>
†www.moon	CHI					ग्रायक्षकार्	-	mm.						
Ę,	OTIN	SFT1	SFT2	SELA	SELB	뒽	CLR.	J.	LATI	. LTUO	LAT2		700	

[図6]

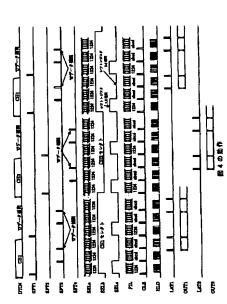
特開平15-264451

(II)

[図4]



[図2]



[区]

